

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP354022179A

PAT-NO: JP354022179A

DOCUMENT-IDENTIFIER: JP 54022179 A

TITLE: SEMICONDUCTOR SWITCHING ELEMENT

PUBN-DATE: February 19, 1979

INVENTOR-INFORMATION:

NAME

TERASAWA, YOSHIO

MIYATA, KENJI

OKAMURA, MASAHIRO

OIKAWA, SABURO

OGAWA, TAKUZO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP52086021

APPL-DATE: July 20, 1977

INT-CL (IPC): H01L029/74;H01L029/76

US-CL-CURRENT: 257/112,257/135

ABSTRACT:

PURPOSE: To increase the operation velocity by reducing the carrier to be injected to the base layer by short-circuiting the base layer of the transistor region to the anode electrode as well as drawing out quickly the carrier injected into the base layer under the diode region to extinguish the carrier.

COPYRIGHT: (C)1979,JPO&Japio

公開特許公報

昭54-22179

5D Int. Cl. ²	識別記号	5D 日本分類	序内整理番号	⑬公開 昭和54年(1979)2月19日
H 01 L 29/74		99(5) F 1	7021-5F	
H 01 L 29/76		99(5) E 3	6603-5F	発明の数 1 審査請求 未請求

(全 5 頁)

50 半導体スイッチング素子

2D特 類 昭52--86021

出 願 昭52(1977) 7 月20日

發明者 寺沢義雄

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

14 宮田健治

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

岡村昌弘

日立市幸町3丁目1番1号 株

式会社日立製作所日立研究所内
特 許 明 者 及川三郎

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
小川卓三

□

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑦出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目 5
番 1 号

⑦代理人 弁理士 高橋明夫

明 窗 書

発明の名称 半導体スイッチング素子

特許請求の範囲

1. 一方の導電型を有する第1の半導体基体の一方の表面に他方の導電型を有する第1の半導体領域を持つ第1の半導体構造と、一方の導電型を有する第2の半導体基体の一方の表面に他方の導電型を有する第2の半導体領域、第2の半導体基体に接して他方の側に他方の導電型を有する第3の半導体領域、第3の半導体領域に接して第2の半導体基体とは反対側に一方の導電型を有する第4の半導体領域を持つ第2の半導体構造と、一方の導電型を有する第3の半導体基体の一方の表面に他方の導電型を有する第5の半導体領域、第3の半導体基体に接して他方の表面に他方の導電型を有する第6の半導体領域を持つ第3の半導体構造を有し、上記第1、第2、第3の半導体基体と第4の半導体領域が互いに接続し、上記第1、第2、第3の半導体領域が互いに接続し、上記第1、第2、第3の半導体領域が互いに接続し、上記第1、第2、第3の半導体領域が互いに接続し、

領域が互いに連結し、かつ第 1、第 2 および第 5 の半導体領域に共通した第 1 電極を接続し、上記第 1 の半導体基体および第 4 の半導体領域の一部に第 2 電極を接続し、上記第 6 の半導体領域に第 3 電極を接続して構成され、第 1 の基体と第 3 の半導体領域の間に形成される接合を逆バイアスしたとき、上記接合から上記第 1 の基体内にのびる空間電荷層によつて上記第 1 の半導体構造の順方向電流をしや断する機能を有し、第 5 の半導体領域の少なくとも 1 部を一方の導電型としたことを特徴とする電界効果型半導体スイッチング素子。

2 第1の半導体領域の少なくとも1部を、一方の導電型としたことを特徴とする特許請求の範囲第1項記載のスイッチング素子。

発明の詳細な説明

本発明は電界効果型の半導体スイッチング素子に供り、特にスイッチングスピードの速の改良された素子構造を有するスイッチング素子に關する。

7 4 7 6 5 4 3 2 1

構造のサイリスタに比べて高温特性が良好なこと、ゲートターンオフ動作時に電流集中が起きないこと、高速スイッチング動作が可能なこと、臨界電圧上昇率が大きいことなどの長を有した高性能素子である。

第1図は従来の電界効果型スイッチング素子の1列の断面図で、8は半導体n型基体(nベース)、7はその1主面に形成されたp型アノード、12は前記基体8内に埋込されたp型ゲート、13は前記基体8の他側の主面に形成されたn⁺型カソード、4はゲート電極、3はカソード電極、2はアノード電極である。この構造の素子では、ゲート12はグリッド状または網目状に形成され、その横方向抵抗が比較的大きくなるために、ゲートターンオフ時にアノード電流をゲート12から引出せる割合が小さくなり、大電流をしゃ断することが困難である。また、同様の理由からターンオフ時間を短くすることも難しかつた。

第2図は従来の電界効果型スイッチング素子の他の例の断面図で、12Aは半導体n型基体3の

(3)

電流となるとともに、これとほぼ等しい電流がアノードにも流れる。この電流は第3図(A)のt_d区間に示すように非常にゆつくりと尾を引いて徐々に減少して行き、0に達する。普通t_d = 2 μsec、t_f = 15 μsec 程度である。

かかる動作を持つ従来の電界効果型スイッチング素子のターンオフ時間を短くするにはt_dとt_fの和を小さくしなければならない。従来の技術において、スイッチング特性を向上するのに金や白金などのいわゆるライフタイムキラーを導入して、素子内のキャリアのライフタイムを小さくする技術が通常のサイリスタやトランジスタに対して広く用いられている。しかしながらかかる技術を従来のサイリスタやトランジスタに適用するとターンオフ時間は短くなるが、その反面オン電圧が増加するという欠点が生じ、ターンオフ時間を短くし、かつオフ電圧を低く保つことができなかった。このパラドックスは従来のサイリスタやトランジスタに普遍的に存在しており、このためライフタイムキラーの導入はかぎられた。

他側主面上に形成されたp型ゲート、10Aは同じ主面上のゲート12Aの間に形成されたn⁺型カソードである。この構造を有する素子ではゲート12Aの横方向抵抗は比較的小さく、大電流をしゃ断することは可能であるが、このままではターンオフ時間が短くならない欠点があつた。

第3図(A)は第2図の素子を第3図(B)のように接続した場合のゲートターンオフ時の電流波形を模式的に描いたものである。t = 0でスイッチSが閉じてゲートに逆バイアスが印加されると、ゲート・カソード間接合を通して逆方向ゲート電流が流れる。このときの電流波形はゲートの抵抗と電源電圧およびカソード付近のキャリアのゲートへの拡散性に依存する。時刻t = t_dになるとカソード付近のキャリアはほとんどゲートに引き出されてなくなり、ゲート・カソード間接合から空間電荷層がのびて来てチャンネル部をピンチオフする。このためカソード電流i_kは時刻t_dで0になる。t_d以後は素子のnベース8内に残っているキャリアがゲート12Aへ流れこんで、ゲート

(4)

素子の特性に対してのみその効果が発揮されるのが通例であつた。

さらに電界効果型サイリスタを高周波用スイッチング素子として使用するためには、ターンオフ時におけるアノード電流の減衰を速くしてスイッチングエネルギー損失を小さくする必要がある。第2図に示す公知の電界効果型サイリスタは、N⁺N⁻P⁺層からなるダイオード領域aとPN⁻P層からなるトランジスタ領域bからなる。かかる構造の素子では、ターンオフ用のゲート電圧を低くするためにゲート層12Aの間隔Wを狭くする必要がある。したがって、N⁺カソード層10Aが狭くなってしまう。このように有効な導通面積が小さくなる以外に、ダイオード領域aに対するトランジスタ領域bの占める割合が少なくとも2倍以上になつてしまう。なぜならばゲート電極4の幅をカソード電極3と同じ程度かそれ以上にすることにより、ゲート・カソード間の抵抗を小さくして、ターンオフしやすくする必要があるからである。そしてそのオン状態においては、トランジ

スタ領域bのJ₁接合が順バイアスされているので、トランジスタ領域bのN⁻層にキャリアが注入されている。このキャリアが再結合し終るまでアノード電流が流れ続ける。このように第2図に示す公知の電界効果型サイリスタでは、ダイオード領域aの約2倍以上の体積を有するトランジスタ領域bのN⁻層内に多量のキャリアが生入されるので、ターンオフ時におけるアノード電流の減衰が遅くなってしまう欠点がある。

本発明の目的はかかる従来の技術および素子構造の持つ欠点を除いてターンオフ用ゲート電圧とオン電圧が低く、かつターンオフ時間も短い高速スイッチング素子を提供することにある。

本発明の目的は、トランジスタ領域(第2図のb)のN⁻層をアノード電極に短絡して、N⁻層に注入されるキャリアを少なくすると共に、ダイオード領域(第2図のa)のN⁻層に注入されたキャリアを迅速にアノード電極に引き出して消滅することによつて、ターンオン時間の短い高速スイッチング素子を提供することにある。

(7)

接合の全領域がほぼ同時にターンオフできるに十分な幅として100~500μmにした場合、ゲート電極を接続したP層5の幅の最小値は約40μmであるので、ゲート電極面積に対するカソード面積の比率は $R = \frac{100\mu m}{40\mu m} \sim \frac{500\mu m}{40\mu m} = 2.5 \sim 12.5$ となる。

一方第2図に示した従来の電界効果スイッチング素子では、カソード電極の幅が10μmすなわちゲート層12Aの間隔が20μmの場合、前記比率は $R = \frac{10}{40} = 0.25$ と非常に小さくなる。したがつて、本発明ではPベース層P₁の間隔aを狭くして低いゲート電圧でターンオフできるようにしても、従来の電界効果スイッチング素子に比較して通電できる電流値を10~50倍にできる。このように本発明はターンオフ用ゲート電圧を大きくしないで電流容量を大きくできる特長がある。

サイリスタのPベース層P₁の横方向抵抗が大きくなると、サイリスタ接合の全領域でゲートーカソード間逆電圧印加によるターンオフ動作がほ

第4図は本発明の実施例を示す断面図である。

アノード電極2がP型拡散層7および低抵抗n型拡散層6の表面に接続されている。またカソード電極3が低抵抗n型拡散層10の表面に、ゲート電極4がP型拡散層5の表面にそれぞれ接続されている。図4の構造を縦方向に分割して構成要素を収り出すと、aで示されるP⁺N⁻NN⁺ダイオード部bで示されるP⁺N⁻P₁NN⁺サイリスタ部、およびcで示されるN_s⁺N⁻Pダイオード部によつて構成されている。本構造素子ではPベース層P₁の間隔(第4図に示すP⁺N⁻NN⁺ダイオード領域aの幅)を狭くしてターンオフ用ゲート電圧を低くできる特長がある。

一方Pベース層P₁の幅(第4図に示すサイリスタ領域bの幅)を広くしてサイリスタ接合の面積を広くし、ウェハ表面上でカソード電極3の占める割合が大きくなるようにする。すなわち定格電流が大きくなるようにする。例えばPベース層P₁の幅bを、ゲートーカソード間逆電圧印加(ゲートに負、カソードに正)によりサイリスタ

(8)

と同時に起きなくなり、局部加熱破壊が起きやすくなる。これを防止するために、Pベース層P₁の横方向抵抗が大きくなりないように、低抵抗のP型リード層5をカソード層側から拡散してPベース層P₁に接続する。さらにゲートーカソード間に印加できる逆電圧を大きくするため、ゲート4とカソード3間に露出しているPNN⁺層表面を絶縁物7で被覆して、ゲートーカソード間の耐圧を大きくする。

ターンオフ時にN⁻ベース層8に残存している注入キャリアをアノード電極2へ速く引き出して、ターンオフタイムを短かくするために、ベース層8N⁻をN形の低抵抗層6N_s⁺でアノード電極2に短絡する。この場合、前記短絡層6N_s⁺をサイリスタ部bの外側に配置して、サイリスタ部bの全面でほぼ一様に電流が流れるようにする。また短絡層N_s⁺をサイリスタ部b以外の領域すなわち順電流が流れないP⁺N⁻接合の真下に設けることにより、この領域にP⁺N⁻接合がある場合に比べてN⁻層へのキャリアの注入量を少なくできる。

第4図の構造では、 N_s^+ 層を全く設けなくて、アノード層 P^+ がアノード電極の全面にある場合に比較して、 P^+N^- 接合から N^- 層8への注入キャリアの量を約 $1/2$ に減少できる。したがって、この効果のみでターンオフタイムを約 $1/2$ に短かくできる。さらに N_s^+ 層を通つて、 N^- 層からアノード層 P^+ への注入キャリアの引き出しがあるので、ターンオフタイムは著しく短くなる。(第4図では順電流の流れない領域すなわちc部全部に N_s^+ 層6を設けた例を示したが、その1部のみを N_s^+ 層とし、残りを P^+ 層のまゝにしても同様の効果が得られることは明らかである。)

本実施例の特長をスイッチング動作に基づいて以下に説明する。

- (a) アノード-カソード間(以下A-K間も略称)に順電圧を印加すると、 $P^+N^-NN^+$ ダイオード部aが順バイアスされてダイオード電流 i_D が流れる。 N^- 層8と N^- 層9に注入された多量のキャリア(例 $i_D \geq 10A/cm^2$ で注入キャリアの濃度は 1×10^{16} 個/ cm^3 以上)が、隣接し
- (11)

一方A-K間の電圧 v_{AK} は電源電圧まで漸次上昇してゆく。したがってターンオフ時の電力損失 $\int v_{AK} i_A dt$ を小さくするためには、アノード電流 i_A を極力小さくする必要がある。このことは高周波のスイッチング動作において、特に重要となる。ターンオフ時の t_2 以後におけるアノード電流 i_A を小さくするためには、 N^- 層8に残存している注入キャリアを短時間に素子外へ掃き出すか、あるいはキャリアのライフタイムを短かくすればよい。後者の方法では素子内での順電圧降下が大となる欠点がある。前者の方法を第6図を参照して説明する。ターンオフ時にアノード電流 i_A が流れている時刻 $t_2 \sim t_3$ において、 J_1 接合はまだ順バイアスの状態であり、この場合の電位を V_f で表わす。 N^- 層8を低抵抗値 r_f の N_s^+ 層6でアノード電極2に接続すると P^+N^- ダイオードの回復電流 i_r は、 $i_r = V_f / r_f$ となる。したがって時刻 $t_2 \sim t_3$ の間 N^- 層および P^+ 層からアノード電極2に流入するキャリアは、電子、

たサイリスタ部bの N^-P_s 、 P_sN 接合に拡散により流入する。その結果サイリスタ部bのほぼ全領域が瞬間的にターンオンする。したがって本発明素子は、ターンオンタイムが著しく短かく(例約 $0.1 \mu s$)また、ターンオン時の電力損失が非常に小さく、さらにゲート近傍の局部で最初にターンオンする従来のサイリスタに比較して di/dt 耐量が大いの特長がある。

- (b) ターンオフタイムを短かくしてターンオフ時の電力損失を著しく小さくできる。時刻 t_1 (第5図)でゲートのスイッチ S_G をオンしてゲート-カソード間に電圧 E_G を印加すると $P^+N^-NN^+$ ダイオードの逆回復電流 i_G が流れる。 J_1 接合近傍の N^- 層8と P_s 層のキャリア数が少なくなり、 J_1 接合に空乏層が形成されるので、時刻 t_2 においてアノード電流 i_A は急減する。)

しかしながら、時刻 t_2 以後においてもまだ N^- 層8にキャリアが残存しているため第5図に示すようにアノード電流 i_A が流れ続ける。

(12)

正孔)数 N は

$$N = \int_{t_2}^{t_3} \frac{i_A}{q} dt = \frac{1}{qr_f} \int_{t_2}^{t_3} V_f dt$$

$$= \frac{\langle V_f \rangle}{qr_f} (t_3 - t_2) \dots \dots (1)$$

ここに $\langle V_f \rangle$ は時刻 $t_2 \sim t_3$ での V_f の平均値、 q は素電荷。

アノード電極面でのキャリア(電子、正孔)の両結合速度は無限大とみなせるので、キャリアは瞬間的に消滅する。したがって N^- 層からアノード電極2へ短時間にキャリアを流出すればよい。そのためには(1)式からわかるように、抵抗 r_f をできるだけ小さくすればよい。

本発明では N_s^+ 層6の抵抗をできるだけ小さくして、ターンオフタイムを短かくし、ターンオフ時の電力損失を著しく減少できる。

第7図は本発明の他の実施例である。第4図と同様に電流流通に寄与しない領域-c部に N_s^+ 層6を設けるほか、 N_s^+ 層6Aをダイオード領域aの P^+ 層7の位置にも設けて、ターンオフタイム

をさらに短かくしたものである。この場合はさらに、ターンオン時にサイリスタ領域における「J」接合に流れる電流が大となるのでオン速度が早くなる効果がある。

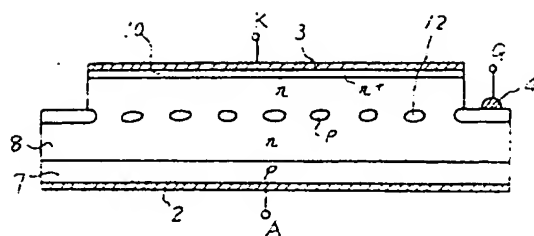
図面の簡単な説明

第1図および第2図は従来の半導体スイッチング素子の断面図、第3図はそのターンオン時における各部電流波形図、第4図は本発明の1実施例の断面図、第5図は本発明の1実施例の断面図、そのターンオフ時の各部電流・電圧波形図、第6図は本発明のN⁺層の動作を説明するための図、第7図は本発明の他の実施例の断面図である。

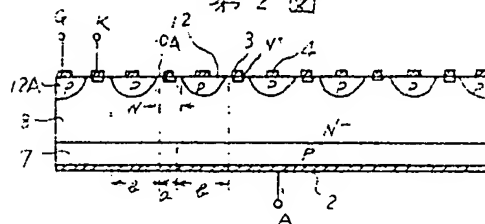
2…アノード電極、3…カソード電極、4…ゲート電極、5…リード用拡散層、6…低抵抗N層、7…P型拡散層、8…N⁻ベース層、9…N層、10…低抵抗N層。

代理人 井理士 高橋明夫

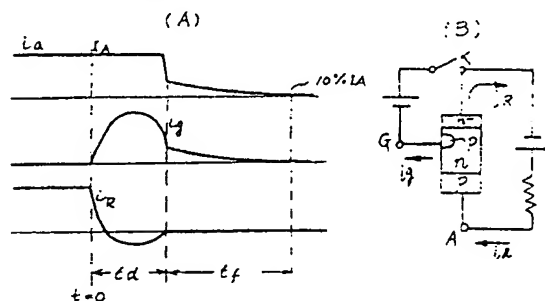
第1図



第2図

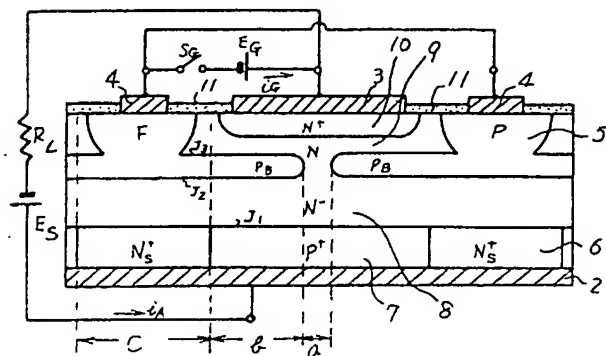


第3図

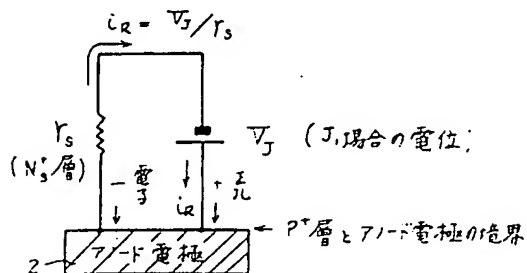


(15)

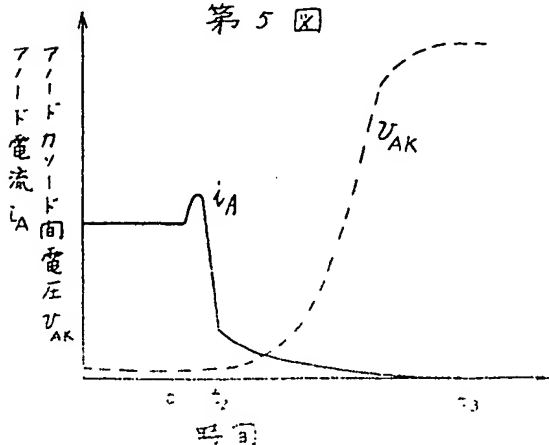
第4図



第6図



第5図



第7図

